



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08147458 A**(43) Date of publication of application: **07.06.96**

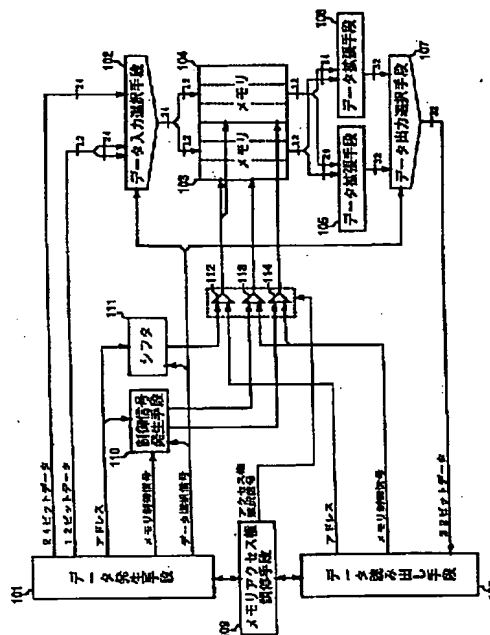
(51) Int. Cl.

G06T 1/60(21) Application number: **06285141**(22) Date of filing: **18.11.94**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **HORIUCHI KOICHI
MATSUMOTO TAKAO****(54) MEMORY CONTROL UNIT****(57) Abstract:**

PURPOSE: To decrease the buffer memory capacity of an information processing system which generates plural data differing in bit with.

CONSTITUTION: A data generating means 101 generates data with 24-bit and 12-bit widths. Memories 103-104 have 24-bit width. The data with the 12-bit width are stored in the memories so that two data in adjacent addresses are successive. Data expanding means 105-106 expand the 24-bit data stored in the memories 103-104 into 32-bit data. Those data are read out by a memory read means 108. The memories are stored with only the data generated by the data generating means 101, so the buffer memory capacity is reduced.

COPYRIGHT: (C)1996,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-147458

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 1/60

G 0 6 F 15/ 64

4 5 0 D

4 5 0 E

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号

特願平6-285141

(22) 出願日

平成6年(1994)11月18日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 堀内 浩一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松本 孝夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

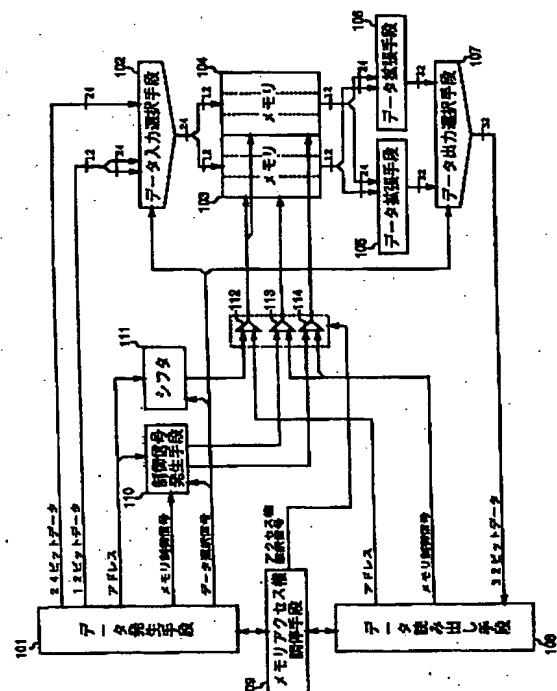
(74) 代理人 弁理士 松田 正道

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【目的】 ビット幅の異なる複数のデータを発生する情報処理システムにおいて、バッファメモリ量を削減すること。

【構成】 データ発生手段101は24と12ビット幅のデータを発生する。メモリ103～104は24ビット幅を持つ。12ビット幅データは隣接するアドレスのデータが2個連接されメモリに格納される。データ拡張手段105～106はメモリ103～104に格納された24ビット幅データを32ビットに拡張する。このデータをメモリ読み出し手段108が読み出す。メモリにはデータ発生手段101の発生するデータのみ格納されるため、バッファメモリ量が削減される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 ($3 \times (2^n)$ (n乗: nは0以上の整数)) ビット幅の複数のデータを発生し、発生する複数のデータのビット幅が異なるデータ発生手段と、前記データ発生手段の出力する複数のデータを個々のデータ毎に (2^{N-n} (N乗: Nはn以上の整数)) 個連結して格納する ($3 \times (2^N)$) ビット幅のメモリと、前記データ発生手段の出力するデータ選択信号に基づき前記データ発生手段の出力するデータを選択し前記メモリへ入力するデータ入力選択手段と、前記メモリに格納されたデータを読み出すデータ読み出し手段と、前記メモリに格納されたデータに前記データ発生手段の出力するデータのビット幅によって定められたビット位置に任意のデータを付加して ($4 \times (2^N)$) ビット幅にする複数のデータ拡張手段と、前記データ発生手段の出力するデータ選択信号に基づき前記データ拡張手段の出力するデータを選択し前記データ読み出し手段へ入力するデータ出力選択手段とを備えたことを特徴とするメモリ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の階調ビット幅を持つ画像データを発生する情報処理システムにおいて、複数の階調ビット幅を持つ画像データを共通のバッファメモリに一時的に格納するメモリ制御装置に関するものである。

【0002】

【従来の技術】近年のCPUの高速化、メモリの大容量化などにもない、情報処理システムの処理性能が向上し、情報処理システムが扱うことのできるデータ量も増大してきている。このことは、画像データに関して言えば、高解像度かつ高階調なより画質の高い画像データを扱うことができるようになってきたことを意味する。

【0003】画像データの1画素あたりの階調ビット幅は、画像データの種類によって異なっている。例えば、自然画などのフルカラー画像は一般的に24ビット幅であり、X線写真などのグレースケール画像は一般的に12ビット幅である。

【0004】例えば、ビデオカメラから入力された画像データをデジタルデータとして取り込んだり、圧縮された画像データを伸長したり、3次元グラフィックス処理を行ない画像データを生成したりというように、情報処理システムは画像データを発生する。発生された画像データは最終的にはメインメモリに格納されるが、画像データを高速に発生するために、メインメモリにアクセスするより高速にアクセスできる専用のバッファメモリに一時的に画像データを格納することが多い。

【0005】一つの情報処理システムが、階調ビット幅の異なる複数の画像データを発生する場合のバッファメモリのメモリ制御装置の一例を図3に示す。

【0006】図3において、301は階調ビット幅の異なる2種類の画像データを発生するデータ発生手段、302は1番目のデータにビットを付加するデータ拡張手段、303は2番目のデータにビットを付加するデータ拡張手段、304はデータ拡張手段302とデータ拡張手段303の出力データを選択するデータ入力選択手段、305は画像データを一時的に格納するメモリ、306は画像データをメモリ305から読み出すデータ読み出し手段、307はメモリアクセス権調停手段、308はメモリ305へのアドレスを選択するセレクト、309はメモリ305へのメモリ制御信号を選択するセレクトである。

【0007】データ発生手段301は、1画素毎に画像データを発生し、その画素のアドレスとデータを出力する。データ発生手段301は、24ビット幅の画像データと12ビット幅の画像データの2種類の画像データを発生する。まずは、24ビット幅の画像データを発生する場合を考える。

【0008】データ拡張手段303は、データ発生手段301の出力する24ビット幅データに任意の8ビットを付加し、メモリのビット幅32ビットに合わせて出力する。図4にデータ拡張の例を示す。ここでは、データ発生手段301の発生する画像データ401をビット23から0に割り当て、拡張データをビット31から24に割り当てることで32ビット幅のデータ402を作る。

【0009】データ入力選択手段304は、データ発生手段301の出力するデータ選択信号によって、24ビット幅データ、つまり32ビット幅に拡張されたデータ拡張手段303の出力を選択し出力する。

【0010】データ発生手段301は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【0011】セレクト308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するアドレスを選択し出力する。セレクト309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、データ入力選択手段304が出力するデータがメモリ305の指定の位置に書き込まれる。

【0012】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に

対しメモリ305へのアクセスを許可する。

【0013】セクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するアドレスを選択し出力する。セクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

【0014】同様に、データ発生手段301が12ビット幅データを発生する場合を考える。データ拡張手段302は、データ発生手段301の出力する12ビット幅データに任意の20ビットを付加し、メモリのビット幅32ビットに合わせて出力する。図4にデータ拡張の例を示す。ここでは、データ発生手段301の発生する画像データ403をビット11から0に割り当て、拡張データをビット31から12に割り当てることで32ビット幅のデータ404を作る。

【0015】データ入力選択手段304は、データ発生手段301の出力するデータ選択信号によって、12ビット幅データ、つまり32ビット幅に拡張されたデータ拡張手段302の出力を選択し出力する。

【0016】データ発生手段301は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【0017】セクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するアドレスを選択し出力する。セクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、データ入力選択手段304が出力するデータがメモリ305の指定の位置に書き込まれる。

【0018】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に対しメモリ305へのアクセスを許可する。

【0019】セクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するアドレスを選択し出力する。セクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するメモリ制御信号を選択し

出力する。これらのアドレスとメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

【0020】

【発明が解決しようとする課題】情報処理システムのメインメモリへの最小アクセス単位は、一般的に1バイト(=8ビット)であり、(2のM乗:Mは0以上の整数、上限は情報処理システムによって異なる)バイト単位でのアクセスが可能である。従って、メモリの構成も、(2のM乗)バイト幅にする必要がある。

【0021】24ビット幅データを(2のM乗)バイト幅メモリに格納するためには、24ビット=3バイトのため、最低4(=2の2乗)バイト幅のメモリが必要であり、メモリ305は32ビット(=4バイト)幅になっている。従って、24ビット幅データをメモリ305に格納する時は、32ビット幅に拡張する必要があり、1画素毎に情報量のない不必要なデータ8ビットを付加しなくてはならない。これは、データ幅が(2のM乗)バイト丁度でないからである。

【0022】同様にして、12ビット幅データの場合には、最低16ビット(=2バイト)幅のメモリが必要であり、1画素毎に情報量のない不必要なデータ4ビットを付加しなくてはならない。

【0023】ところが、データ発生手段301は1画素毎にそれに対応するアドレスを出力するため、メモリ305のアドレスは1画素に1対1に対応することになる。よって、12ビット幅のデータも、32ビット幅に格納する必要がある。従って、12ビット幅データをメモリ305に格納する時も、32ビット幅に拡張する必要があり、1画素毎に情報量のない不必要なデータ20ビットを付加しなくてはならない。

【0024】つまり、24ビット幅データの場合には、1画素あたり8ビット分のバッファメモリが余分に必要であり、12ビット幅データの場合には、1画素あたり20ビット分のバッファメモリが余分に必要である。

【0025】本発明は上記の従来のメモリ制御の課題に鑑み、24ビット幅や12ビット幅などの(3×(2のn乗:nは0以上の整数))ビット幅でビット幅の異なる複数のデータを発生する情報処理システムにおいて、必要なビット幅だけのバッファメモリを有効利用し、メモリ量を削減することができる、メモリ制御装置を提供することを目的としている。

【0026】

【課題を解決するための手段】上記課題を解決するために、本発明は、(3×(2のn乗:nは0以上の整数))ビット幅の複数のデータを発生し、発生する複数のデータのビット幅が異なるデータ発生手段と、前記データ発生手段の出力する複数のデータを個々のデータ毎に(2のN-n乗:Nはn以上の整数)個連接して格納する(3×(2のN乗))ビット幅のメモリと、前記デ

ータ発生手段の出力するデータ選択信号に基づき前記データ発生手段の出力するデータを選択し前記メモリへ入力するデータ入力選択手段と、前記メモリに格納されたデータを読み出すデータ読み出し手段と、前記メモリに格納されたデータに前記データ発生手段の出力するデータのビット幅によって定められたビット位置に任意のデータを付加して $(4 \times (2 \text{ の } N \text{ 乗}))$ ビット幅にする複数のデータ拡張手段と、前記データ発生手段の出力するデータ選択信号に基づき前記データ拡張手段の出力するデータを選択し前記データ読み出し手段へ入力するデータ出力選択手段とを備えたことを特徴としている。

【0027】

【作用】本発明は上記した構成により、メモリが $(3 \times (2 \text{ の } N \text{ 乗}))$ ビット幅を持ち、メモリのビット幅より小さい $(3 \times (2 \text{ の } n \text{ 乗}))$ ビット幅のデータは $(2 \text{ の } N - n \text{ 乗})$ 個連続してメモリに格納し、データ拡張手段がメモリの読み出し時にデータを付加して $(4 \times (2 \text{ の } N \text{ 乗}))$ $(= 2 \text{ の } (N + 2) \text{ 乗})$ ビット幅にするので、必要なビット幅だけのバッファメモリしか必要としない。

【0028】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0029】図1は本発明の一実施例におけるメモリ制御装置のブロック図である。図1において、101は階調ビット幅の異なる2種類の画像データを発生するデータ発生手段、102はデータ発生手段101の出力する2種類のデータを選択するデータ入力選択手段、103は画像データを一時的に格納するメモリで上位半分のビット部分、104は画像データを一時的に格納するメモリで下位半分のビット部分、105は1番目のデータにビットを付加するデータ拡張手段、106は2番目のデータにビットを付加するデータ拡張手段、107はデータ拡張手段105とデータ拡張手段106の出力データを選択するデータ出力選択手段、108は画像データをメモリ103とメモリ104から読み出すデータ読み出し手段、109はメモリアクセス権調停手段、110は、データ発生手段101の出力するアドレスとメモリ制御信号からメモリ103とメモリ104へのメモリ制御信号を出力する制御信号発生手段、111はデータ発生手段101の出力するアドレスからメモリ103とメモリ104へのアドレスを出力するシフト、112はメモリ103とメモリ104へのアドレスを選択するセレクト、113はメモリ103へのメモリ制御信号を選択するセレクト、114はメモリ104へのメモリ制御信号を選択するセレクトである。

【0030】データ発生手段101は、1画素毎に画像データを発生し、その画素のアドレスとデータを出力する。データ発生手段101は、24ビット幅の画像データと12ビット幅の画像データの2種類の画像データを

発生する。まずは、24ビット幅の画像データを発生する場合を考える。

【0031】データ入力選択手段102は、データ発生手段101の出力するデータ選択信号によって、24ビット幅データを選択し出力する。

【0032】データ発生手段101は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ発生手段101に対しメモリ103とメモリ104へのアクセスを許可する。

【0033】制御信号発生手段110は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するメモリ制御信号を、そのままセレクト113とセレクト114に対して出力する。

【0034】シフト111は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するアドレスを、そのままセレクト112に対して出力する。

【0035】セレクト112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、シフト111の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セレクト113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ103に対して出力する。セレクト114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ104に対して出力する。これらのアドレスとメモリ制御信号によって、データ入力選択手段102が出力する24ビット幅のデータがメモリ103とメモリ104の指定の位置に書き込まれる。

【0036】データ読み出し手段108は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ読み出し手段108に対しメモリ103とメモリ104へのアクセスを許可する。

【0037】セレクト112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セレクト113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するメモリ制御信号を選択しメモリ103に対して出力する。セレクト114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、

データ読み出し手段108の出力するメモリ制御信号を選択しメモリ104に対して出力する。これらのアドレスとメモリ制御信号によって、メモリ103とメモリ104の指定の位置のデータが読み出される。

【0038】データ拡張手段106は、メモリ103とメモリ104から読み出された24ビット幅データに任意の8ビットを付加し、32ビット幅に合わせて出力する。図2にデータ拡張の例を示す。ここでは、メモリ103とメモリ104から読み出された画像データ201をビット23から0に割り当て、拡張データをビット31から24に割り当てることで32ビット幅のデータ202を作る。

【0039】データ出力選択手段107は、データ発生手段101の出力するデータ選択信号によって、24ビット幅データ、つまり32ビットに拡張されたデータ拡張手段106の出力を選択し出力し、このデータはデータ読み出し手段108へ読み出される。

【0040】従って、24ビット幅データの場合には、バッファメモリとして、12ビット幅のメモリを2個(=24ビット幅)用意すればよい。12ビット幅のメモリは広く市場に流通している4ビット幅のRAMを3個並列に並べることで容易に構成することができる。バッファメモリを画像データだけで使いきるので、画像データ以外の余分なデータを格納するためのバッファメモリを必要としない。

【0041】同様に、データ発生手段101が12ビット幅データを発生する場合を考える。

【0042】データ入力選択手段102は、データ発生手段101の出力するデータ選択信号によって、12ビット幅データを選択し、この12ビット幅データを2個接続して24ビット幅で出力する。

【0043】データ発生手段101は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ発生手段101に対しメモリ103とメモリ104へのアクセスを許可する。

【0044】制御信号発生手段110は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するアドレスの最下位ビット(ビット0)が「0」の時はデータ発生手段101の出力するメモリ制御信号をセクタ113に、データ発生手段101の出力するアドレスの最下位ビットが「1」の時はデータ発生手段101の出力するメモリ制御信号をセクタ114に対して出力する。

【0045】シフト111は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するアドレスを1ビット右へ(下位ビット方向)へシフトして、セクタ112に対して出力する。

【0046】セクタ112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、シフト111の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セクタ113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ103に対して出力する。セクタ114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、制御信号発生手段110の出力するメモリ制御信号を選択しメモリ104に対して出力する。これらのアドレスとメモリ制御信号によって、データ発生手段101の出力するアドレスの最下位ビットが「0」の時は、データ入力選択手段102が出力する24ビット幅のデータの上位12ビットがメモリ103の指定の位置に、データ発生手段101の出力するアドレスの最下位ビットが「1」の時は、データ入力選択手段102が出力する24ビット幅のデータの下位12ビットがメモリ104の指定の位置に書き込まれる。

【0047】このようにして、偶数アドレス(最下位ビットが「0」)の画像データはメモリ103へ、奇数アドレス(最下位ビットが「1」)の画像データはメモリ104へ格納し、24ビット幅のバッファメモリを画像データだけで使いきることができる。

【0048】データ読み出し手段108は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ読み出し手段108に対しメモリ103とメモリ104へのアクセスを許可する。

【0049】セクタ112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セクタ113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するメモリ制御信号を選択しメモリ103に対して出力する。セクタ114は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するメモリ制御信号を選択しメモリ104に対して出力する。これらのアドレスとメモリ制御信号によって、メモリ103とメモリ104の指定の位置のデータが読み出される。

【0050】データ拡張手段105は、メモリ103とメモリ104から読み出された24ビット幅データに任意の8ビットを付加し、32ビット幅に合わせて出力する。図2にデータ拡張の例を示す。ここでは、メモリ103から読み出された画像データ203をビット27から16に割り当て、メモリ104から読み出された画像

データ204をビット11から0に割り当て、拡張データをビット31から28とビット15から12に割り当てることで32ビット幅のデータ205を作る。

【0051】データ出力選択手段107は、データ発生手段101の出力するデータ選択信号によって、12ビット幅データ、つまり32ビットに拡張されたデータ拡張手段105の出力を選択し出力し、このデータはデータ読み出し手段108へ読み出される。

【0052】従って、12ビット幅データの場合にも、バッファメモリとして、12ビット幅のメモリを2個(=24ビット幅)用意すればよい。バッファメモリを画像データだけで使いきるので、画像データ以外の余分なデータを格納するためのバッファメモリを必要としない。

【0053】なお、上記実施例ではデータの読み出しは全て32ビットで行なう例を示したが、上記のメモリ構成の例では4ビット幅のRAMから構成されるので、8ビットや16ビット単位でも読み出すようにしてもよい。

【0054】

【発明の効果】以上説明したように、本発明によれば、 $(3 \times (2^n \text{乗} : n \text{は} 0 \text{以上の整数}))$ ビット幅でビット幅の異なる複数のデータを発生する場合に、データ発生手段の出力するデータを $(2^{N-n} \text{乗} : N \text{は} n \text{以上の整数})$ 個連接して格納する $(3 \times (2^N \text{乗}))$ ビット幅のメモリと、メモリに格納されたデータにデータ発生手段の出力するデータのビット幅によって定められ

たビット位置に任意のデータを付加して $(4 \times (2^N \text{乗}))$ ビット幅にする複数のデータ拡張手段とを設けることにより、発生するデータを格納するのに必要なだけのバッファメモリを持つだけでよく、余分なバッファメモリをなくすことでメモリ量を削減することができ、その実用的効果は大きい。

【図面の簡単な説明】

【図1】本発明の一実施例におけるメモリ制御装置の構成を示すブロック図である。

【図2】本発明の一実施例におけるメモリ制御装置の動作を説明する説明図である。

【図3】従来のメモリ制御装置の構成を示すブロック図である。

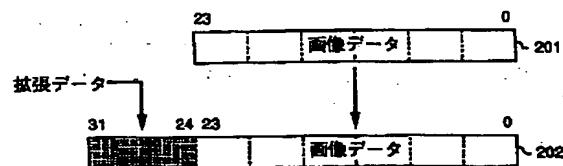
【図4】従来のメモリ制御装置の動作を説明する説明図である。

【符号の説明】

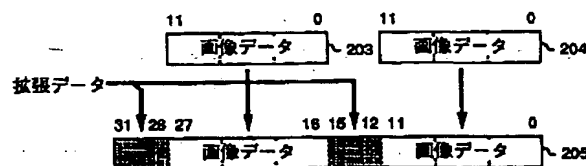
101	データ発生手段
102	データ入力選択手段
103～104	メモリ
105～106	データ拡張手段
107	データ出力選択手段
108	データ読み出し手段
109	メモリアクセス権調停手段
110	制御信号発生手段
111	シフタ
112～114	セレクタ

【図2】

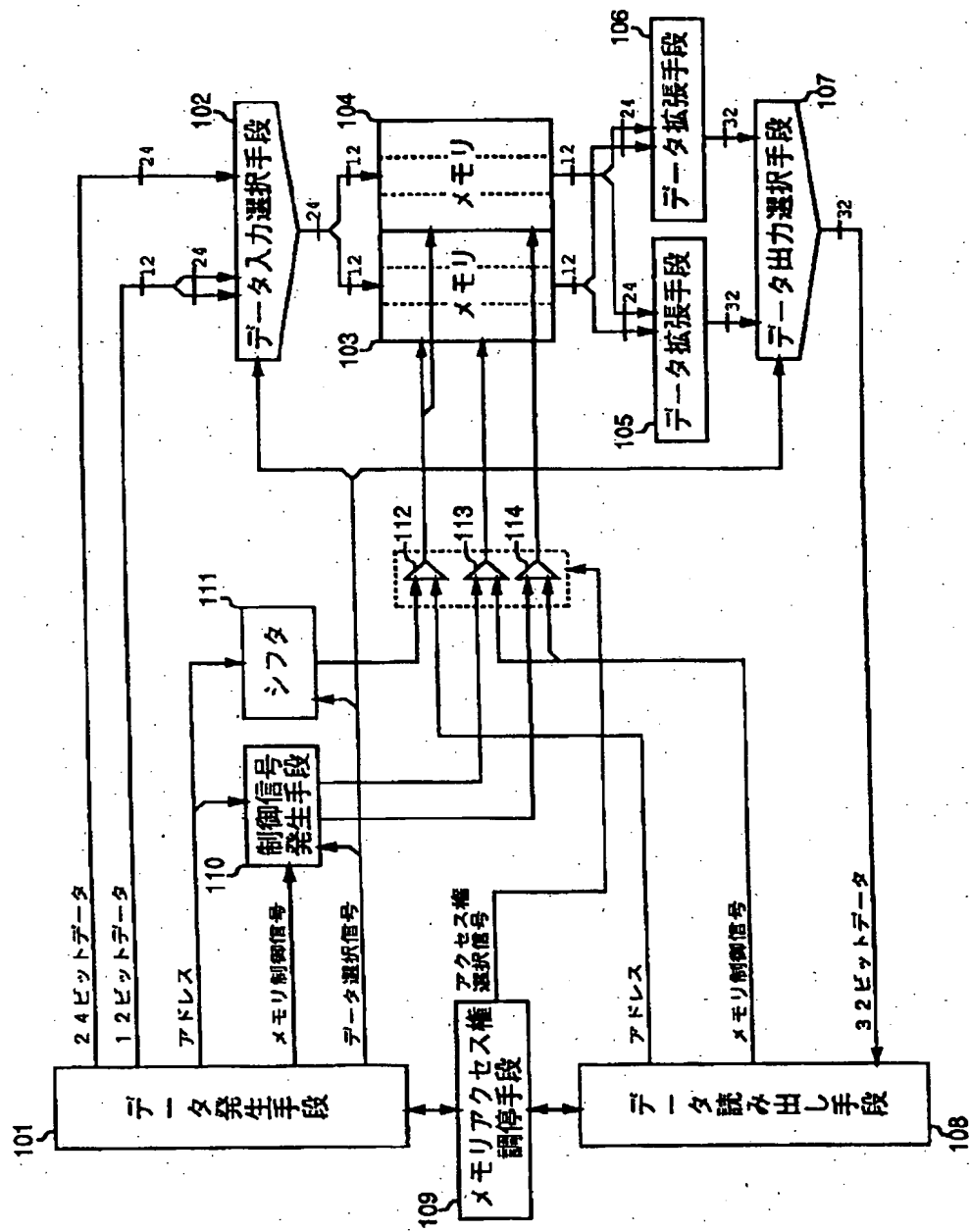
(1) 24ビットデータの場合



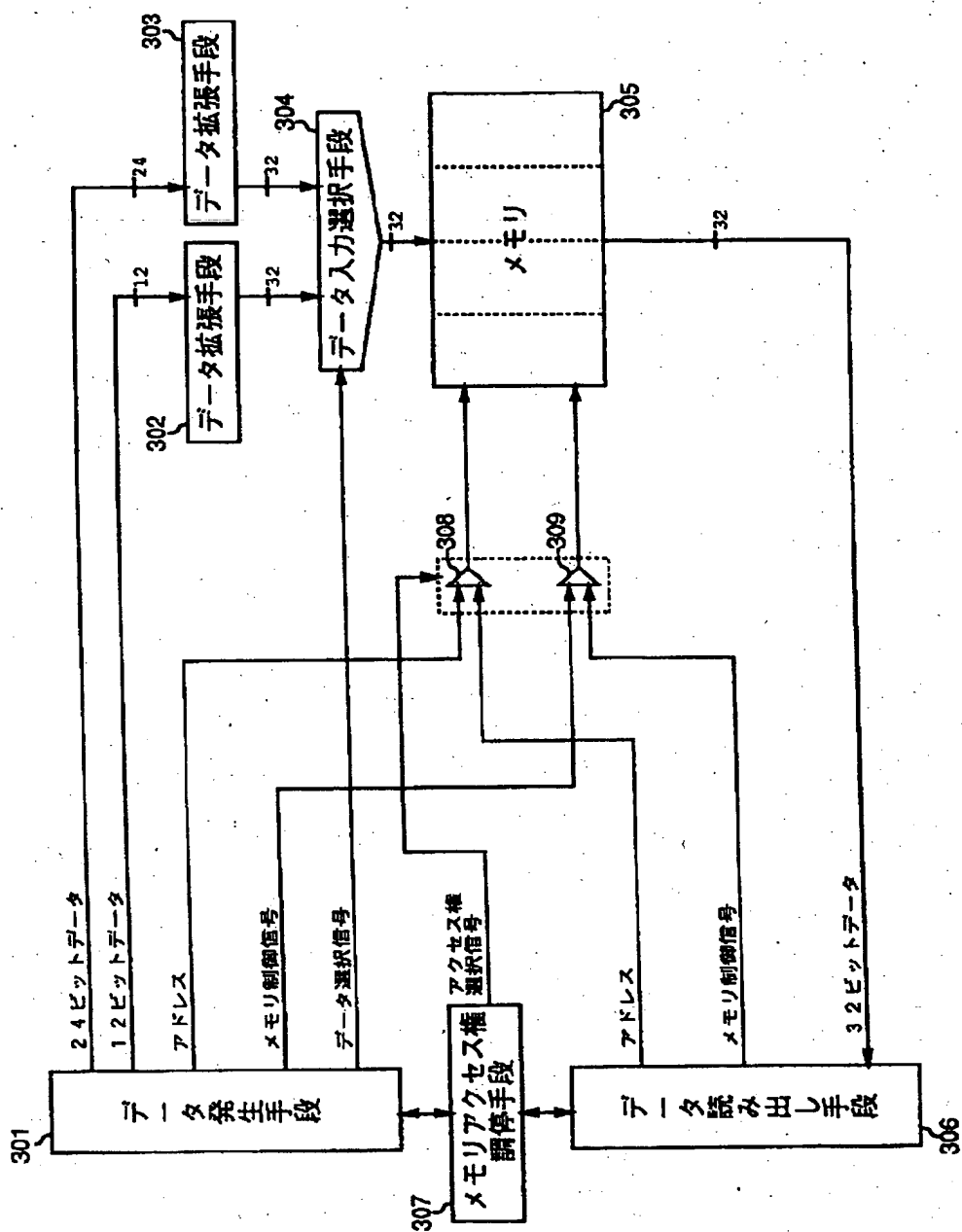
(2) 12ビットデータの場合



【図1】

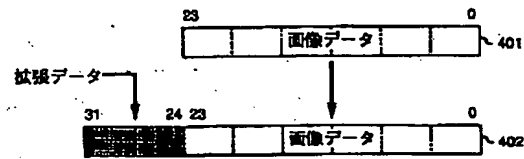


【図3】



【図 4】

(1) 24ビットデータの場合



(2) 12ビットデータの場合

